# Cây thư mục

|  |  |  |  |
| --- | --- | --- | --- |
| 01\_references | .. |  | Chứa các tài liệu tham khảo cho đề tài vv |
|  | .. |  |
| 02\_designs | 01-simulations | Matlab |  |
|  | 02\_IP\_core | 01-Specification | (chứa các file mô tả specification, file sơ đồ khối ..) |
|  |  | 02-hdl | Chức code thiết kế HDL (verilog, VHDL) |
|  |  | 03-testbench | Chứa các file mô phỏng testbench cho IP |
|  | 03\_demontrations | Quartus | Chứa các projects sử dụng quartus (nếu có) |
|  |  | Vivado | Chứa các projects sử dụng vivado (nếu có) |
| 03\_documents |  |  | Các tài liệu dạng liên quan đến đề tài |
|  |  |  |  |
| 04\_reports | Weekly report |  | Thư mục |
|  | … |  |  |

# Các trình bày specification (trình bày theo mẫu đính kèm)

# Thiết kế sơ đồ khối trên Visio

* Thiết kế các sơ đồ khối (module) vừa phải. Chọn thiết kế size A4 cho phù hợp
* Các tên tín hiệu: cỡ chữ time new roman (12)
* Tên module ở trên cùng (kích thước 18, bold), tên module viết thường, viết liền không dấu.
* Input: bên trái, output bên phải
* Các tín hiệu có độ rộng lớn hơn 1 bit cần tô đậm 2pt, ghi rõ số bit
* Các thiết kế: từ tổng quan tới chi tiết. Mỗi khối lớn bao gồm không quá 8 khối nhỏ
* Cần đặt tên rõ ràng các tín hiệu trung gian (thuận tiện cho việc kiểm tra trên ngôn ngữ HDL)

# Coding guide line (theo file đính kèm)

* Cấu trúc 1 module verilog
* Các instance các module con